

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 4 月 29 日 (29.04.2004)

PCT

(10) 国際公開番号  
WO 2004/036638 A1

- (51) 国際特許分類<sup>7</sup>: H01L 21/3065
- (21) 国際出願番号: PCT/JP2002/010844
- (22) 国際出願日: 2002 年 10 月 18 日 (18.10.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目 6 番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 根岸 伸幸 (NEGISHI, Nobuyuki) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立

製作所 中央研究所内 Tokyo (JP). 横川 賢悦 (YOKO-GAWA, Kenetsu) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所中央研究所内 Tokyo (JP). 伊澤 勝 (IZAWA, Masaru) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所中央研究所内 Tokyo (JP).

(74) 代理人: 作田 康夫 (SAKUTA, Yasuo); 〒100-8220 東京都千代田区丸の内一丁目 5 番 1 号 株式会社日立製作所内 Tokyo (JP).

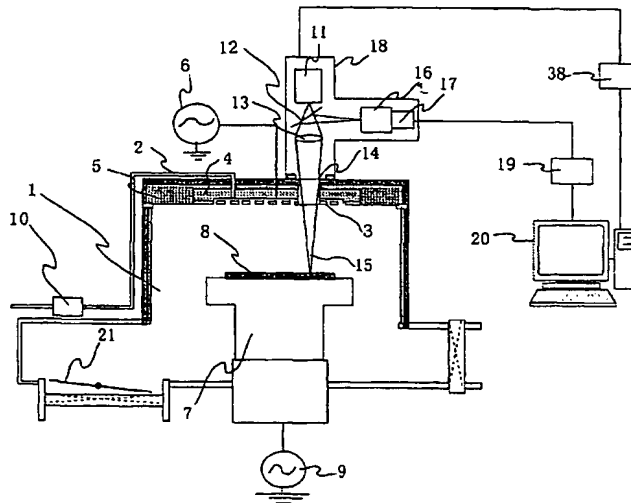
(81) 指定国 (国内): CN, JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

[続葉有]

(54) Title: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) ~~Abstract~~: A method for fabricating a semiconductor device in which yield and productivity can be enhanced. The method for fabricating a semiconductor device comprises a step for providing a plasma etching system comprising a vacuum container (1), a susceptor (7) for placing a wafer (8) in the vacuum container (1), means (2) for introducing material gas to the vacuum container, and means (6) for introducing high-frequency power, and a step for generating, by using the high-frequency power, plasma of the gas introduced into the vacuum container (1) by the gas introducing means (2) and making a plurality of holes selectively in an oxide film (23) on the major surface of the wafer in the plasma atmosphere, characterized in that the flat part and the hole part on the major surface of the semiconductor wafer is irradiated with light (15) having a continuous spectrum in the process for making the holes and variation of reflectivity is measured at the flat part and the hole part.

(57) 要約: 本発明の目的は歩留りおよび生産性向上が図れる半導体装置の製造方法を提供することにある。本発明に係わる半導体装置の製造方法は、本発明は、真空容器1と、前記真空容器1内に設けられたウエハ8を設置するためのサセプタ7と、前記真空容器に原料ガスを導入するためのガス導入手段2と、および高周波電力導入手段6とを有

[続葉有]

WO 2004/036638 A1



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

するプラズマエッチング装置が準備され、前記ガス導入手段2により前記真空容器1内に導入されたガスを前記高周波電力でプラズマ化し、前記プラズマ雰囲気中でウエハ主面の酸化膜23に選択的に複数の穴を形成する工程を含む半導体装置の製造方法であって、前記穴を形成する工程で前記半導体ウエハ主面の平坦部と穴部とに連続スペクトルを有する光15を照射させ、前記平坦部と前記穴部との反射率変化を測定することを特徴とする。

## 明 細 書

## 半導体装置の製造方法

## 5 技術分野

本発明は半導体技術分野、特に層間絶縁膜のコンタクトホール形成工程を含む半導体装置の製造方法に関するものである。

## 背景技術

10 半導体装置の製造過程において、ウエハ主面に形成された層間絶縁膜（主に酸化シリコンを主成分とする絶縁膜）に、プラズマを利用したドライエッチング方法でコンタクトホールを形成し、そのコンタクトホール内に、半導体もしくは金属を充填する工程がある。

このコンタクトホール形成では、下地の半導体領域表面もしくは下層配線が露出するまでエッチストップしないで完全に開孔することが半導体装置の歩留まり向上に不可欠である。したがって、コンタクトホールの微細化に伴い、エッチングの難易度が高まっている状況下において、所望のエッチング処理を行うために、エッチングの進行状況、特にエッチング深さを正確に把握し、プロセス条件に反

20 映させることが極めて重要になる。

コンタクトホール形成が途中でエッチストップして下地の半導体領域または配線が露出しない状況を非開孔という。従来、この非開孔による歩留まりの低下を抑制するために、走査電子顕微鏡SEM (Scanning Electron Microscopy)

25 等による断面観察や電位コントラスト方式による非開孔検査を行い、

不良の原因を特定していた。

しかしながら、従来の方法では、実際にロットからウエハを抜き出してSEM等の検査装置用のサンプル（試料）を作成する必要がある。このため、ノンプロダクトウエハが必要であることと、製造  
5 プロセスへのフィードバックに時間がかかることから、生産性の低下を招いていた。なお、ノンプロダクトウエハとは半導体装置の製造に直接寄与しないウエハを言う。

また、ホール径の微細化が進み、直径が100nm以下となりつつある状況下では、紫外から可視域の波長の光はパターン境界の影響無しにパターン底部まで入射しにくく、パターン上部と底部との  
10 光路長差を利用した干渉波形測定方式では、実用に耐え得るS/N比が充分得られない。

なお、特開2000-131028号公報や特開2001-284323号公報に示されているように、コンタクトホールのエッチング深さをリアルタイムにモニターする手段としては、パターン上部と底部との光路長差による干渉波形からエッチング深さを求める  
15 方式がある。

#### 発明の開示

20 本発明の目的は歩留りおよび生産性向上が図れる半導体装置の製造方法を提供することにある。

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば次のとおりである。

本発明は、真空容器と、前記真空容器内に設けられた半導体ウエハを設置するためのサセプタと、前記真空容器に原料ガスを導入す  
25

るためのガス導入手段と、および高周波電力導入手段とを有する  
プラズマエッチング装置が準備され、前記ガス導入手段により前記  
真空容器内に導入されたガスを前記高周波電力でプラズマ化し、前  
記プラズマ雰囲気中で半導体ウエハ主面に選択的に複数の穴を形成  
5 する工程を含む半導体装置の製造方法であって、前記穴を形成する  
工程の間もしくはその後に前記半導体ウエハ主面の平坦部と穴部と  
に連続スペクトルを有する光を照射させ、前記平坦部と前記穴部と  
の反射率変化を測定する工程を備えていることを特徴とする。

本発明によれば、エッチング過程において、簡便に光学特性を測  
10 定することにより、非破壊でエッチング状態、特にコンタクトホー  
ルのエッチング深さをモニターし、早期のロット停止やプロセス条  
件へのフィードバックを行うものである。これにより、DRAM (D  
y n a m i c R a n d a m A c c e s s M e m o r y) に代  
表される多量少品種生産だけでなく、少量多品種生産が必要なロジ  
15 ック製品等でも生産性の向上に貢献できる。

#### 図面の簡単な説明

図 1 は本発明の実施例 1 で用いるエッチング深さ検査機能付きド  
ライエッチング装置の概略図である。

20 図 2 は本発明の実施例 1 に係わるウエハの部分断面図である。

図 3 は本発明の実施例 1 に係わるウエハの平面図である。

図 4 は本発明の実施例 1 に係わる検出光照射位置の走査過程を示  
す説明図である。

図 5 は本発明の実施例 1 に係わる平坦部と穴部の反射率の波長依  
25 存性と干渉ピークの波長シフト量を示す特性図である。

図 6 は本発明の実施例 1 に係わる干渉ピークの波長シフト量とエッチング時間の関係を示す特性図である。

図 7 は本発明の実施例 1 に係わるエッチング完了時の波長シフト量とウエハ処理枚数の関係を示す特性図である。

5 図 8 は本発明の実施例 1 で用いるマルチチャンバー方式のプラズマエッチング装置の概略図である。

図 9 は本発明の実施例 2 で用いるエッチング深さ検査機能付きアンロードロック室の概略図である。

10 図 10 は本発明の実施例 2 に係わるインピーダンス測定の測定確度と測定周波数の関係を示す特性図である。

図 11 は本発明の実施例 2 に係わるウエハ主面の平坦部における上部電極と下部電極と間の容量を示す等価回路図である。

図 12 は本発明の実施例 2 に係わるウエハ主面の穴部における上部電極と下部電極と間の容量を示す等価回路図である。

15 図 13 は本発明の実施例 2 に係わるエッチング深さと  $\Delta C$  の関係を示す特性図である。

図 14 は本発明の実施例 3 で用いるエッチング深さ検査機能付きドライエッチング装置の概略図である。

20 図 15 は本発明の実施例 3 に係わる添加  $O_2$  流量とエッチストップが発生する最大アスペクト比の関係を示す特性図である。

図 16 は本発明の実施例 3 に係わる  $O_2$  流量の制御ステップを示すシーケンス図である。

図 17 は本発明の実施例 3 に係わる HARC 形成工程における半導体装置の部分断面図である。

25 図 18 は本発明の実施例 3 に係わる SAC 形成工程における半導体

装置の部分断面図である。

発明を実施するための最良の形態

本発明をより詳細に説述するために、添付の図面にしたがってこれを説明する。

(実施例 1)

本発明の実施例に用いるエッチング深さ検査機能付きドライエッチング装置の構成図を図 1 に示す。このエッチング装置によれば、ガス導入管 2、シャワープレート 3 を介し真空容器 1 に原料ガスを導入して、高周波電源 6 にて発生した高周波電界によりプラズマを形成する。真空容器 1 (エッチング処理室) 内はターボ分子ポンプの如き高排気は可能な真空排気手段 (図示せず) により減圧され、その内部の圧力調整はコンダクタンスバルブ 21 で行う。真空容器 1 内には下部電極 7 があり、この下部電極 7 上に半導体ウエハ 8 が設置される。半導体ウエハ 8 は例えば単結晶シリコン (Si) から成り、その内部には浅溝分離領域およびその浅溝分離領域に区画された半導体領域 (活性領域) を有する。そして、半導体ウエハ 8 の主面には二酸化シリコン (具体的には TEOS 膜) から成る絶縁膜 (層間絶縁膜) を有する。この下部電極 7 には高周波バイアス電源 9 が接続されている。高周波バイアス電源 9 の周波数は 400 kHz ~ 1.5 MHz、好ましくは 800 kHz である。真空容器 1 内を減圧雰囲気 に保ち、高周波バイアス電源 9 により下部電極 7 に発生するおよそ 0.5 kV ~ 2 kV の V<sub>pp</sub> (Peak to Peak) 電圧によってプラズマ中のイオンを引き込んで絶縁膜のエッチングを行う。

次に、エッチング装置に内蔵されたエッチング深さ検査機能 (エ

ツチング深さ測定装置) について詳しく説明する。

本実施例のエッチング深さ測定装置は真空容器 1 の上部に設置されている。すなわち、真空容器 1 の天井部には検出光 15 を導入するための石英窓 14 が備えられている。この石英窓にはレンズ 13 を介して検出光である Xe ランプ 11 からの白色光 (350 nm 以上の連続スペクトル) が入射する。検出光の一部成分はウエハ 8 上を照射し、反射光が同一光路を通過してビームスプリッタにて反射され、検出系に入射する。また、検出光のうち、他の成分は参照光としてビームスプリッタ 12 を経て直接検出系に導かれる。検出系は分光器 16、ダイオードアレイ 17 により構成されており、入射した入射光強度、反射光強度の波長分布を瞬時に測定できる。レンズ 13 はウエハ 8 上に焦点をあわせるために、上下移動ステージ (図示せず) に設置されている。そして、これらのエッチング深さ測定装置は水平方向に移動可能な XY 移動テーブル 18 に設置されている。XY 移動テーブル 18 は D/A 変換部 38 を介して計算機 20 に電氣的に接続されている。また、計算機 20 は A/D 変換部 19 を介してダイオードアレイ 17 に電氣的接続されている。

なお、本実施例では光源、光学系、検出系が 1 式備えられ、平坦部測定および穴部測定がリアルタイム行われるものである。しかしながら、検査スループット向上のために、光源、光学系および検出系を 2 式備え、一つは穴部測定用、他の一つは平坦部測定用としてもよい。

上記のように構成されたエッチング深さ測定装置を用いた測定方法を、図 1 乃至図 5 を参照し、以下に説明する。なお、図 2 はウエハ (Si 基板 40) 上に酸化膜 23 を堆積させ、複数のコンタクト



ホール形成用の穴を有するレジストマスク 22 で酸化膜 23 にホールパターンを転写している状態を示すウエハの部分断面図である。図 2 に示すように、酸化膜 23 (絶縁膜) 上に形成されたレジストマスク 22 は複数の穴パターン部と穴パターンが形成されていない平坦部とを有する。図 3 はホールパターンが形成されたウエハの平面図である。ウエハ 8 の主面には IC チップを構成するパターン 24 が格子状に配列されている。そして、各チップパターン 24 内にはホールパターン (複数の穴) が形成されている。図 4 はホールパターンが密集しているチップパターン内の一部分を示す平面図である。

まず、図 1 において、図 3 に示したウエハパターン 24 のデータが入力されている計算機 20 から、ホールパターンが形成されていない平坦部の位置を割り出し、XY 移動テーブル 18 にて平坦部測定用の検出光位置を決定する。検出光 15 は Xe ランプ 11 からレンズ 13 を介し、ウエハ 8 上の測定位置に照射される。すなわち、図 2 に示すように、ホールパターンが形成されていない平坦部 22 A に検出光 15 A が垂直入射もしくは所定角度を保って斜入射される。その際、ウエハ上の測定位置で焦点が合うように、上下移動ステージを上下させる。ここで、分光器 16、ダイオードアレイ 17 を用いて、入射光と反射光の強度比である反射率の波長依存性を測定し、参照データとして計算機 20 に格納する。平坦部測定では、レジストマスク 22 表面での反射光と、レジスト 22 と酸化膜 23 との界面での反射光との位相ずれにより干渉が発生することになる。

次に、実際に測定する測定位置を計算機 20 から出力し、XY 移動テーブル 18 を駆動し、検出光の位置を一旦決定する。平坦部同

様、検出光 15 は X e ランプからレンズを介し、ウエハ上の測定位置に照射される。また、ウエハ上の測定位置で焦点が合うように、上下移動ステージを上下させる。すなわち、図 2 に示すように、ホールパターンが形成されている穴部 22 B に検出光 15 B が入射される。この時の入射は前記平坦部 22 A への入射と同一条件で行われるつまり、平坦部 22 A への入射が垂直入射であるならば穴部 22 B への入射も垂直入射となる。

そして、図 4 に示すように、X Y 移動テーブルを走査させ、検出光の反射率の波長依存性を各点において測定する。先に取得した参照データの干渉ピーク位置に対する波長シフト量を計算し、その値が最大となるところに X Y 移動テーブルを固定する。この工程により、ロジック製品のように穴部のピッチが大きいパターンでも、ウエハ毎に常に検出光照射領域 25 に収まる穴の数を一定且つ最大に保つことができ、測定精度を向上させることが可能となる。

本実施例では検出光の波長を測定対象の穴径の 2 倍以上に設定しているため、穴部はエッチングの進行とともにマクロなポーラス化が進行していると捉えることができ、図 5 に示すように干渉ピークの波長シフトが生じる。この参照データとの干渉ピークの波長シフト量  $\Delta \lambda$  は測定領域の体積変化を与える。

したがって、穴部の酸化膜厚とレジスト膜厚が、平坦部のそれと等しいと想定し、パターンデータから穴径を割り出すと、体積変化量はエッチン深さに変換される。上記工程のうち、平坦部及び穴部の測定位置決定工程以外の工程をエッチング最中に繰返し実施することで、リアルタイムにエッチング深さを測定することが可能となる。

次に、レジスト選択比の算出方法を説明する。先に取得した平坦部における反射率の波長依存性の参照データと、予め格納されているウエハの膜厚構造の酸化膜厚を用いて多重反射干渉モデルに基づき算出した理論曲線データとの比較から、その時点におけるレジスト膜厚が算出できる。したがって、初期膜厚との差がその時点におけるレジスト削れ量となる。一方、既に説明したように、参照データに対する干渉ピーク位置の波長シフト量から穴部のエッチング深さが求められているため、その値をレジスト削れ量で割ることで、レジスト選択比を求めることができる。

図 6 はエッチング時間と波長シフト量の関係を示したものである。エッチングが進行する場合は曲線 a に示すように、エッチング時間に対し波長シフト量が増加していくが、途中でエッチストップが発生した場合は曲線 b のようにその時点から波長シフト量が一定値を示す。本実施例では、例えば、エッチング処理中に曲線 b が得られた場合、エッチストップと判断し、図 7 に示すように、高開孔性条件にレシピを変更して処理を継続する。これにより非開口に対する金属埋め込み、すなわちコンタクト不良が防止でき、スループットを維持したまま、歩留まり向上および生産性を向上できるシステムを構築することが可能となる。

本実施例では、光源、光学系、検出系が 1 式備えられている場合を説明したが、光源からの検出光をビームスプリッタ等光学素子で分割して光学系、検出系を 2 式備えることでも同様の効果が得られる。さらに、穴部における検出光の反射率測定のみをウエハ毎に行うことで、経時変化のモニターにも利用できる。

また、本実施例では、リアルタイムにエッチング深さ測定を行う構

成を説明したが、このエッチング深さ測定装置はガス雰囲気を問わず設置が可能である。すなわち、エッチング深さ測定装置は、エッチングを行う真空容器以外、例えば、図8に示すアンロードロック室29のような、エッチング後にウエハを搬送してある時間停滞する場所にも設置可能である。これにより、スループットを低下させることなく、エッチング深さをモニターできる。コンタクトホール

5      のエッチング深さをモニターすることで、続いてエッチング処理すべき半導体ウエハに対する処理停止やエッチングプロセス条件へのフィードバックを行う。

10      続いて、このようにして形成されたスルーホール内には、タングステン (W) あるいは銅 (Cu) の如き金属が埋め込まれる。

(実施例2)

図9乃至図13を参照し、静電容量測定によってエッチング深さを観測する実施例を説明する。

15      本実施例によれば、測定手段はアンロードロック室、例えば図8に示したアンロードロック室29に設置されている。アンロードロック室は、エッチング処理室で処理されたウエハをウエハカセットへ排出するための中間真空室である。

図9において、アンロードロック室29の天井部には、ウエハの

20      表面に対向するように、測定用上部電極(第2の電極)30が設置されている。この測定用上部電極30は真空容器と絶縁体31で電気的にアイソレーションされている。ウエハに対向する上部電極30の端部面は直径0.1mmから3mmの円状平面を成している。そして、この上部電極30はウエハ表面との間隔を0.1μmから

25      50μmに設定できるように上下移動ステージ32に設置されてお

り、間隔をモニターするために、電極先端部には、レーザ変位計 33 が取り付けられている。一方、ウエハが設置される測定用下部電極 (第1の電極) 35 はXY両方向に移動できるXY移動テーブル 36 上に設置されており、任意の位置を測定できる。このXY移動テーブル 36 はA/D変換部 38Aを介して計算機 20に電氣的接続されている。上下移動ステージ 32 はA/D変換部 38Bを介して計算機 20に電氣的接続されている。レーザ変位計 33 はA/D変換部 19を介して計算機 20に電氣的接続されている。下部電極 35 にはウエハ裏面の酸化膜を貫き、常に安定してコンタクトが取れるように先端が鋭利な突起電極 34 が複数備えられている。そして、上部電極 30、下部電極 35 間にはインピーダンスメータ 37 が電氣的接続されており、電極間の容量を測定できる。インピーダンスメータ 37 はA/D変換部 38Cを介して計算機 20に電氣的接続されている。

次に、エッチング深さの測定方法を説明する。

まず、図9に示すようにエッチング後のウエハ8を搬送して下部電極 35 上に設置する。ウエハによっては裏面に酸化膜が形成されているため、突起電極を当てて確実にコンタクトを取る。この場合、ある2点の突起間の抵抗をウエハ設置毎に測定すれば、裏面コンタクトの再現性が保証される。但し、微小な突起電極でなくても確実にコンタクトが取れる手段であれば、本実施例の範囲に入ることは言うまでもない。

次に、計算機 20 に予め格納されているウエハのパターンデータをもとに、XY移動テーブル 36 を駆動させ、パターンの無い平坦部の測定位置に電極 30 を移動する。その後、レーザ変位計 33 の

出力値をフィードバックしながら上下移動ステージ 32 を駆動し、ウエハ 8 表面と上部電極 30 の表面との間隔を設定値に固定する。

図 10 はインピーダンスメータの測定確度と測定周波数の関係を示したものである。本実施例では、測定確度が最小となるように測定  
5 周波数を 100 kHz とした。

この平坦部の測定位置でインピーダンス測定を行う。測定結果は、図 11 に示すように電極－ウエハ間隔容量  $C_g$ 、レジスト容量  $C_m$ 、酸化膜容量  $C_f$  が直列に接続された合成容量と等価である。

次に、XY 移動テーブル 36 にて上部電極 30 の位置を測定位置  
10 である穴部にもっていく。ここでも平坦部の測定と同様にインピーダンス測定から合成容量を測定する。ここで、実施例 1 と同様に、エッチングにより形成された穴群をマクロなポーラス化と想定すると、図 12 に示すように、穴部の容量  $C_h$  と、酸化膜が充填されている部分（穴部周辺部分）の容量  $C_{f'}$  との並列容量と捉えること  
15 ができる。したがって、エッチングによって合成容量は減少するため、平坦部の値との差である  $\Delta C$  とエッチング深さの関係は図 13 のようになる。ここでは、酸化膜厚  $2\ \mu\text{m}$ 、開孔面積の率 20%、電極－ウエハ間隔  $1\ \mu\text{m}$  を想定した。この場合、 $\Delta C$  はエッチング深さと伴に増大し、エッチング深さ  $2\ \mu\text{m}$  で  $\Delta C = 0.47\ (\text{pF})$   
20 となる。これは、合成容量に対し約 5% の値であり十分測定できる値である。

次に、測定位置の再現性向上について説明する。実施例 1 で説明した場合と同様に、ウエハが設置されている XY 移動テーブルを穴部の測定位置付近で走査させる。各位置にて合成容量を測定し、その  
25 値の最小値と先に求めた平坦部の合成容量との差を真の  $\Delta C$  とす

る。この工程により、ロジック製品のように穴部のピッチが大きいパターンでも、ウエハ毎に常に上部電極の測定範囲に収まる穴の数を一定、且つ最大に保つことができるため、測定精度を向上させることが可能となる。

- 5 上記検査によりエッチングによるスルーホール形成が確実に実行されていれば、その形成されたスルーホール内には、タングステン（W）あるいは銅（Cu）の如き金属が埋め込まれる。すなわち、スルーホール内に金属を埋め込む工程が実行される。もし、スルーホールが非開口であるならば、エッチング処理されるべき次の半導体
- 10 ウエハに対し、そのエッチング条件は確実に開口されるレシピに変更される。

- 本実施例でも、実施例1と同様に、レジスト選択比を算出することができる。先に取得した平坦部における合成容量と、予め格納されているウエハの膜厚構造から算出した理論合成容量との比較から、
- 15 その時点におけるレジスト膜厚が算出できる。したがって、初期膜厚との差がエッチング完了後のレジスト削れ量となる。一方、先に説明したように、平坦部での合成容量に対する穴部での合成容量の差と酸化膜厚、開孔面積、電極－ウエハ間隔の膜構造からエッチング深さが求まっているため、その値をレジスト削れ量で割ることで、
- 20 レジスト選択比を求めることができる。

#### 〔実施例3〕

- 図14乃至図18を参照し、より具体的な半導体装置の製造方法の実施例を以下に説明する。半導体装置（LSI）の微細化に伴って高精度エッチングが要求されるコンタクトホール形成工程を図1
- 25 7および図18に示す。

まず、図 17 は層間絶縁膜（具体的には TEOS 膜）に対する HARC (High Aspect Ratio Contact hole) と呼ばれるコンタクトホール形成工程の断面図を示す。HARC 形成は孔径  $0.13\ \mu\text{m}$  から将来的には  $0.1\ \mu\text{m}$  以下で深さ  $2\ \mu\text{m}$  と非常に深い孔を層間絶縁膜 23B に形成する必要がある。この時のドライエッチング加工では孔底での開口不良、テーパ形状等による形状不良によりコンタクト不良が発生し、歩留まり低下を引き起こしやすい。

図 18 は SAC (セルフアラインコンタクト) と呼ばれるコンタクトホール形成工程の断面図を示す。SAC 形成は、ゲート電極 41 を保護するシリコン窒化膜 42 をエッチングせずにシリコン酸化膜 23A をドライエッチングし、シリコン基板（より具体的にはソースもしくはドレインの如き半導体領域）40の主面を露出する工程である。シリコン窒化膜 42 とシリコン酸化膜 23 の選択性を得るには高度な堆積制御が必要であり、エッチング条件が微妙に変化することでコンタクト部の開口不良あるいはテーパ形状等の形状不良を引き起こす。

このような図 17 あるいは図 18 に示したコンタクトホール形成工程に、実施例 1 あるいは実施例 2 で述べたエッチング結果の評価方法が適用される。

また、これらのコンタクトホール形成工程では、図 14 に示すエッチング装置が適用される。以下、その実施例を説明する。

原料ガスとして、 $\text{Ar} / \text{C}_5\text{F}_8 / \text{O}_2$  混合ガス系を用い、ガス圧力が  $2\ \text{Pa}$  になる様に設定する。このガス条件で例えば、図 17 に示した直径  $0.1\ \mu\text{m}$  の微細ホール（コンタクトホール CH）をエッチングする場合、添加する  $\text{O}_2$  流量とエッチストップが発生する



最大アスペクト比は $O_2$ 流量に対し、図15の関係が成り立つ。これより、エッチストップは $O_2$ 流量に対し急激に改善し、アスペクト比4付近にエッチングを抑制する領域が存在することが分る。すなわち、添加する $O_2$ 流量を必要最低限に抑制し、マスク選択比を  
5 向上するには、アスペクト比4付近まで $O_2$ 流量を増加し、それ以降では $O_2$ 流量を低減するステップエッチが有効であることが明らかになった。

本実施例では図14に示すように、基本構成は図1を参照し、実施例1で述べたとおりである。特に、 $O_2$ 流量制御のためにガス流量計10がA/D変換部38を介してレシピ制御用計算機39に電気的接続されている。本実施例では図16に示した $O_2$ 流量の制御ステップによりエッチングが行われる。予めレシピ制御用計算機39にアスペクト比と添加 $O_2$ 流量の関係を入力しておくことで、経時変化によるエッチングレートの変動に左右されず、上記課題を解決  
15 できる。ここではガス流量の制御系のみを示したが、ガス圧力、高周波電力、高周波バイアス電力等、他の外部パラメータの制御にも適用できる。

コンタクトホール形成工程の後、そのコンタクトホールCH内には金属を埋め込む、いわゆるプラグ形成工程が成される。そして、  
20 このプラグ形成工程の後、配線形成工程が周知のスパッタリング法およびフォトリソグラフィ技術を用いて行われる。

なお、半導体装置の製造過程において、図18に示すSAC形成工程は、図17に示すHARC形成工程に先立って行われる。図18に示すHARC形成工程は図18に示す層間絶縁膜23A上に形成される絶縁膜23Bに対して行われる。  
25

以上、具体的実施例に基づき説明した本発明によれば、エッチングでコンタクトホール形成を行うエッチング方法において、エッチング深さやレジスト等のマスク選択比をエッチングを行っている過程、もしくはエッチング終了後のエッチング処理室からウエハを搬送する過程において、非破壊かつ簡便にモニターし、早期のロット停止やプロセス条件へのフィードバックを可能にする。これにより、DRAMに代表される多量少品種生産だけでなく、少量多品種生産が必要なロジック製品等でも生産性の向上が可能となる。

#### 10 産業上の利用可能性

本発明によれば、半導体装置の製造過程、特にコンタクトホール形成工程において、エッチング深さやレジスト等のマスク選択比を、エッチングの過程もしくはエッチング終了後、エッチング処理室からウエハを搬送する過程で非破壊かつ簡便にモニターし、早期のロット停止やプロセス条件へのフィードバックを可能にする。これにより、半導体装置の歩留りの向上及び生産性の向上が図れる。

## 請 求 の 範 囲

1. 真空容器と、前記真空容器内に設けられた半導体ウエハを設置するためのサセプタと、前記真空容器に原料ガスを導入するためのガス導入手段と、および高周波電力導入手段とを有するプラズマエッチング装置が準備され、前記ガス導入手段により前記真空容器内に導入されたガスを前記高周波電力でプラズマ化し、前記プラズマ雰囲気中で半導体ウエハ主面に選択的に複数の穴を形成する工程を含む半導体装置の製造方法であって、前記穴を形成する工程の間もしくはその後に前記半導体ウエハ主面の平坦部と穴部とに連続スペクトルを有する光を照射させ、前記平坦部と前記穴部との反射率変化を測定する工程を備えていることを特徴とする半導体装置の製造方法。

2. 請求の範囲第1項記載の半導体装置の製造方法において、前記光は前記半導体ウエハ主面に対し、垂直入射もしくは斜入射され、この入射光と反射光の強度比から前記反射率を測定することを特徴とする半導体装置の製造方法。

3. 請求の範囲第1項記載の半導体装置の製造方法において、前記光は白色光であって、前記半導体ウエハ主面に対し、垂直入射もしくは斜入射され、前記白色光の入射光と反射光の強度比から反射率の波長依存性を測定することを特徴とする半導体装置の製造方法。

4. 請求の範囲第1項記載の半導体装置の製造方法において、前記半導体ウエハ主面は層間絶縁膜を有し、該層間絶縁膜に対して前記複数の穴を形成することを特徴とする半導体装置の製造方法。

5. (1) 半導体基板上に絶縁膜および該絶縁膜上に複数の穴パターン部と穴パターンが形成されていない平坦部とを有するマスクを

形成する工程と、

(2) 前記マスクに基づき、前記絶縁膜に複数の穴をドライエッチングにより形成する工程と、

(3) 前記(2)工程の間、前記平坦部と前記穴部とに連続スペクトルを有する光を照射させ、前記平坦部と前記穴部との反射率変化を測定し、その測定結果に基づき前記穴部における複数の穴を貫通させる工程と、

(4) 前記穴部における複数の穴に金属を埋め込む工程と、  
から成ることを特徴とする半導体装置の製造方法。

6. 請求の範囲第5項記載の半導体装置の製造方法において、前記(2)工程中、前記光は前記半導体ウエハ主面に対し、垂直入射もしくは斜入射され、この入射光と反射光の強度比から前記反射率を測定することを特徴とする半導体装置の製造方法。

7. 請求の範囲第5項記載の半導体装置の製造方法において、前記(2)工程中、前記光は白色光であって、前記半導体ウエハ主面に対し、垂直入射もしくは斜入射され、前記白色光の入射光と反射光の強度比から反射率の波長依存性を測定することを特徴とする半導体装置の製造方法。

8. (1) 半導体基板上に絶縁膜および該絶縁膜上に複数の穴パターン部と穴パターンが形成されていない平坦部とを有するマスクを形成する工程と、

(2) 前記マスクに基づき、前記絶縁膜に複数の穴をドライエッチングにより形成する工程と、

(3) 前記(2)工程の間、前記平坦部で反射率の波長依存性を測定する工程と、前記穴部で反射率の波長依存性を測定する工程と、

前記穴部と前記平坦部とで取得した波長依存性のスペクトルを比較し、前記平坦部の干渉ピーク位置に対する前記穴部の干渉ピーク位置の波長シフト量を求める工程とを備え、しかる後その測定結果に基づき前記穴部における複数の穴を貫通させる工程と、

5 (4) 前記穴部における複数の穴に金属を埋め込む工程と、

から成ることを特徴とする半導体装置の製造方法。

9. 請求の範囲第8項記載の半導体装置の製造方法において、前記(2) 工程中、前記光は前記半導体ウエハ主面に対し、垂直入射もしくは斜入射され、この入射光と反射光の強度比から前記反射率を

10 測定することを特徴とする半導体装置の製造方法。

10. 請求の範囲第9項記載の半導体装置の製造方法において、前記光は白色光であることを特徴とする半導体装置の製造方法。

11. 真空容器と、前記真空容器内に設けられた半導体ウエハを設置するためのサセプタと、前記真空容器に原料ガスを導入するためのガス導入手段と、および高周波電力導入手段とを有するプラズマエッチング装置が準備され、前記ガス導入手段により前記真空容器内に導入されたガスを前記高周波電力でプラズマ化し、前記プラズマ雰囲気中で半導体ウエハ主面に選択的に複数の穴を形成する工程を含む半導体装置の製造方法であって、

20 前記プラズマエッチング装置は、検出光を放出させる光源と、光窓に配置されたビームスプリッタ、レンズ、分光器およびダイオードアレイからなる検出系と、該検出系を水平方向に移動可能なXY移動テーブルと、前記検出系のデータを格納する計算機とを備え、前記光源からの検出光は前記真空容器の天井部に設けられた石英窓  
25 を通して半導体ウエハ主面に照射される構成であり、

前記穴を形成する工程の間もしくはその後に、前記半導体ウエハ主面の平坦部と穴部とに前記光源からの検出光を照射させ、前記平坦部と前記穴部との反射率変化を測定する工程を備えていることを特徴とする半導体装置の製造方法。

5 12. 請求の範囲第11項記載の半導体装置の製造方法において、前記光源はXeランプであることを特徴とする半導体装置の製造方法。

13. 請求の範囲第11項記載の半導体装置の製造方法において、前記検出光は前記半導体ウエハ主面に対し、垂直入射もしくは斜入射され、この入射光と反射光の強度比から前記反射率を測定することを特徴とする半導体装置の製造方法。

10 14. 請求の範囲第11項記載の半導体装置の製造方法において、前記検出光は白色光であって、前記半導体ウエハ主面に対し、垂直入射もしくは斜入射され、前記白色光の入射光と反射光の強度比から反射率の波長依存性を測定することを特徴とする半導体装置の製造方法。

15 15. 真空容器と、前記真空容器に原料ガスを導入するためのガス導入手段と、および高周波電力導入手段とを有するプラズマエッチング装置が準備され、前記ガス導入手段により前記真空容器内に導入されたガスを前記高周波電力でプラズマ化し、前記プラズマ雰囲気中で半導体ウエハ主面に選択的に複数の穴を形成する工程を含む半導体装置の製造方法であって、

20 前記プラズマエッチング装置は、半導体ウエハが接して設置される、水平方向に移動が可能な第1の電極と、前記第1の電極に対向して配置され、上下方向に移動が可能な第2の電極と、前記第1、

第2の電極とに電氣的接続されたインピーダンスメータと、前記インピーダンスメータにA/D変換部を介して電氣的に接続された計算機とを備えたエッチング深さ検査装置を備え、

5 前記穴を形成した後に、エッチング深さ検査装置により、前記半導体ウエハ主面の平坦部と穴部との静電容量を測定する工程と、前記平坦部と前記穴部とで取得した静電容量を比較し、前記平坦部の静電容量の測定値と前記穴部の静電容量の測定値との差を求める工程とを有することを特徴とする半導体装置の製造方法。

10 16. 請求の範囲第15記載の半導体装置の製造方法において、前記穴部を測定する前記第2の電極が半導体ウエハを走査する工程を備えており、この走査工程によって前記静電容量が最小となるように前記第2の電極位置を決定することを特徴とする半導体装置の製造方法。

15 17. 請求の範囲第15記載の半導体装置の製造方法において、前記プラズマエッチング装置はロードロック室およびアンロードロック室を具備し、前記アンロードロック室に前記第1、第2の電極が設置されていることを特徴とする半導体装置の製造方法。

20 18. 請求の範囲第15記載の半導体装置の製造方法において、前記第1の電極には前記半導体ウエハの裏面に接する複数の突起電極が配置されていることを特徴とする半導体装置の製造方法。

19. 請求の範囲第15項記載の半導体装置の製造装置において、前記第2の電極の先端部は直径が0.1mmから3mmである円状面であることを特徴とする半導体装置の製造装置。

25 20. 請求の範囲第15項記載の半導体装置の製造方法において、前記第2の電極と前記半導体ウエハの表面との間隔を0.1μmか

ら 5 0  $\mu$  m の間とすることを特徴とする半導体装置の製造方法。

5

10

15

20

25



1/9

圖 1

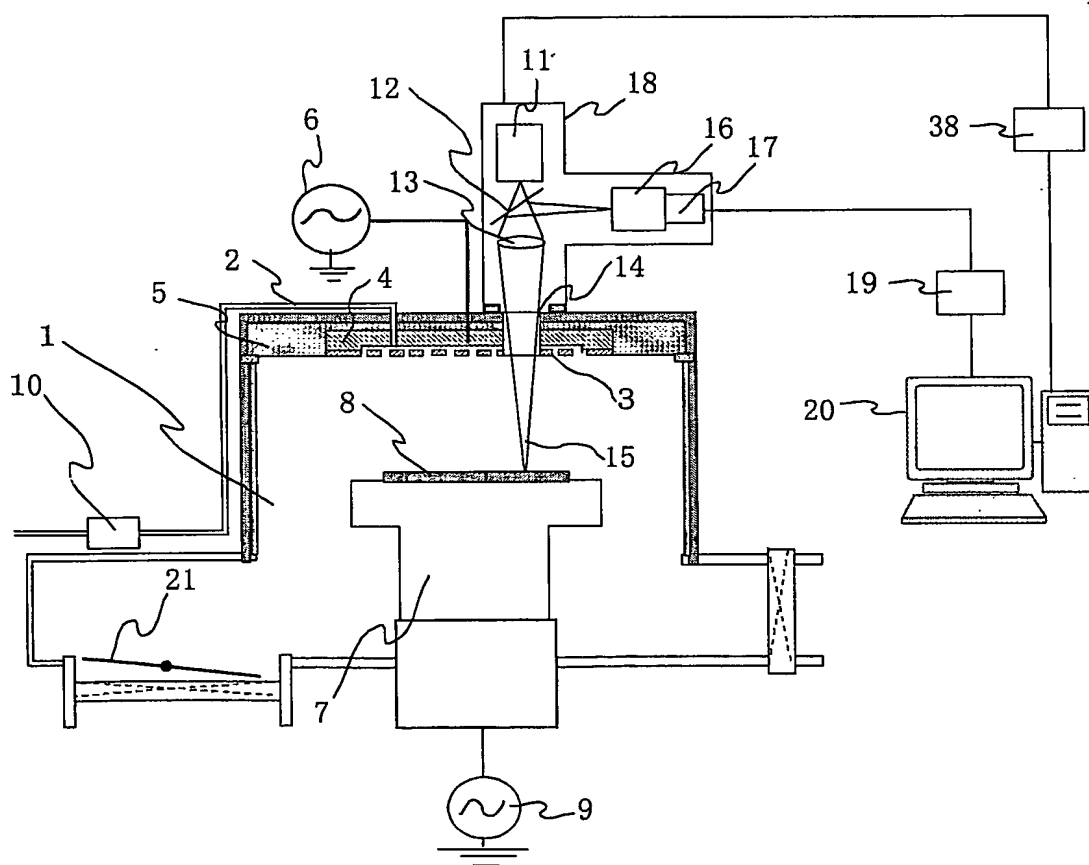


図 2

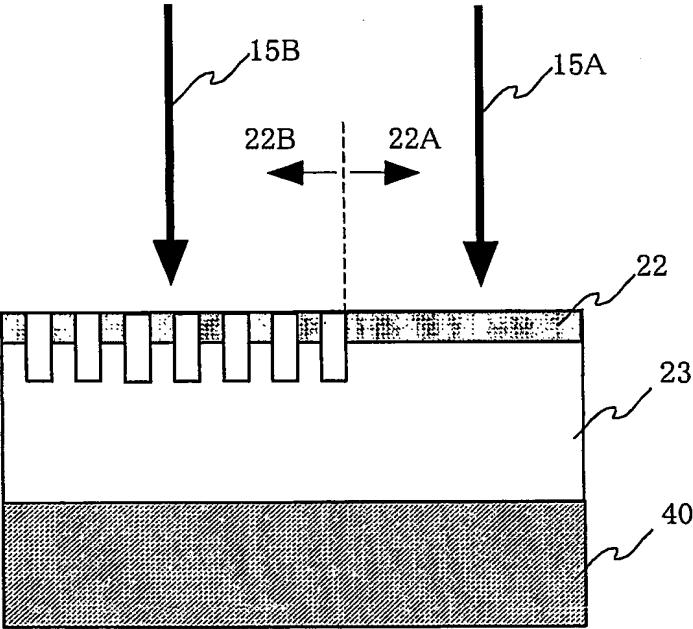


図 3

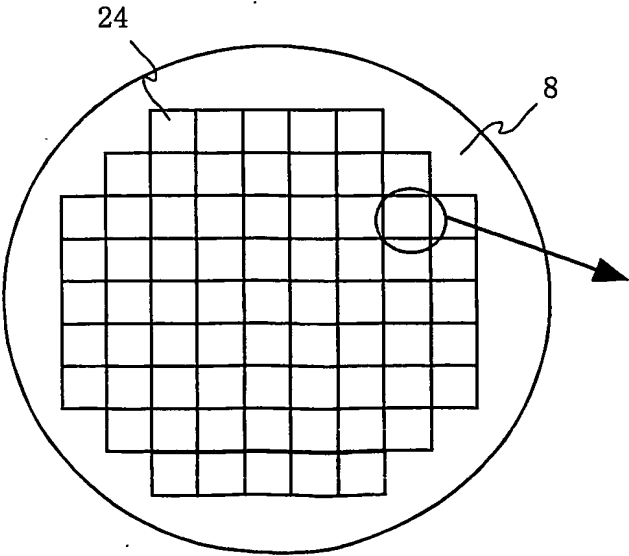
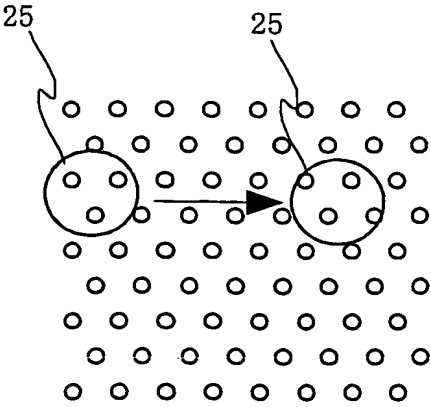


図 4



3/9

図 5

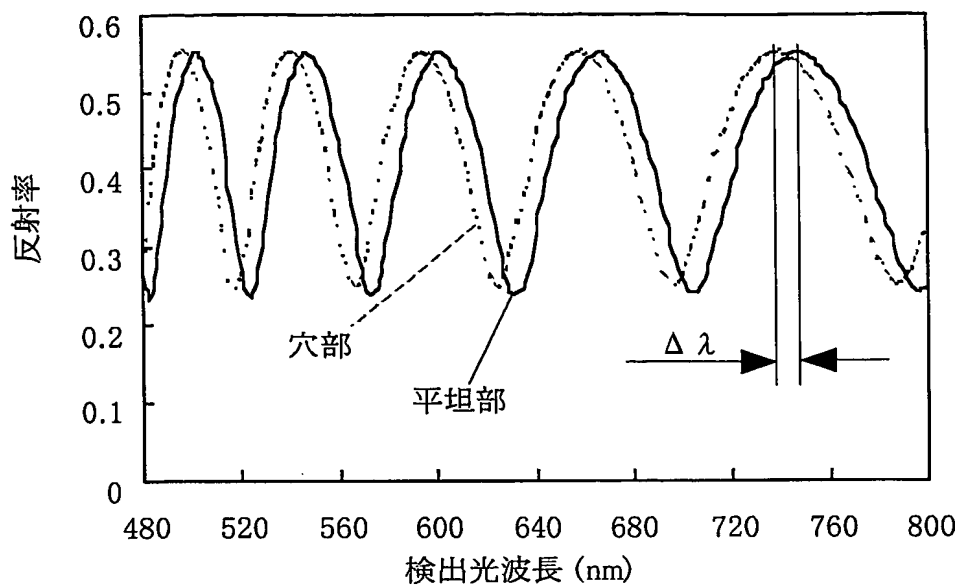
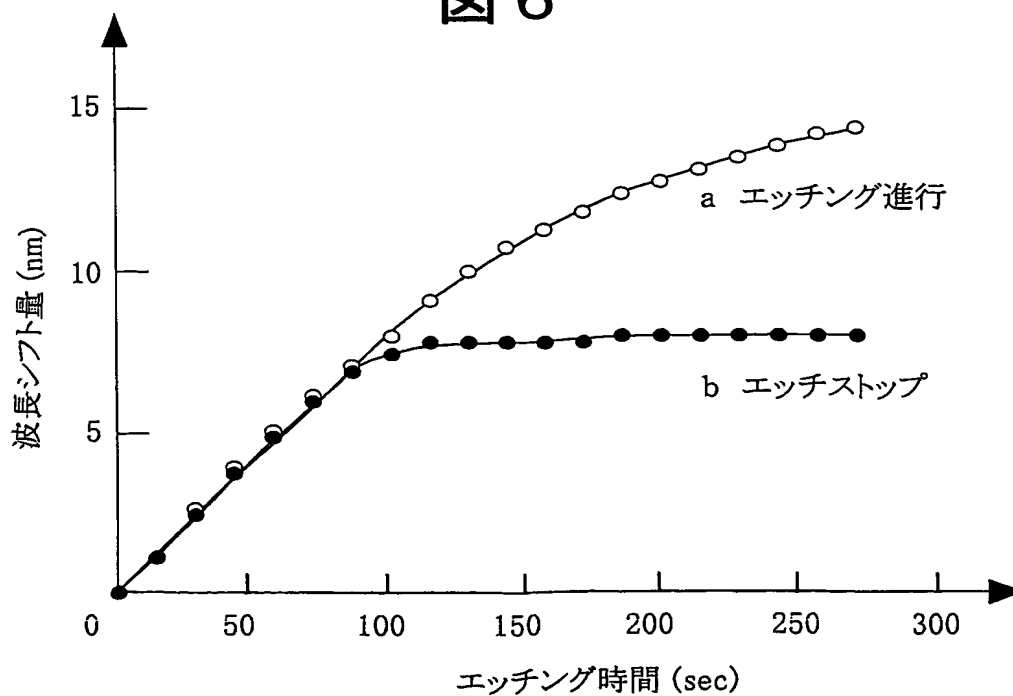


図 6



4/9

図 7

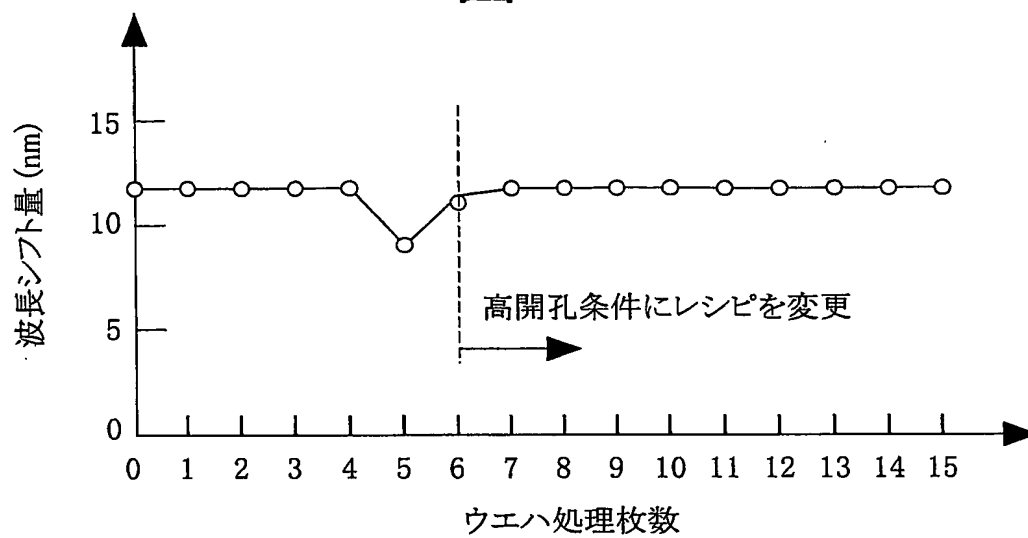
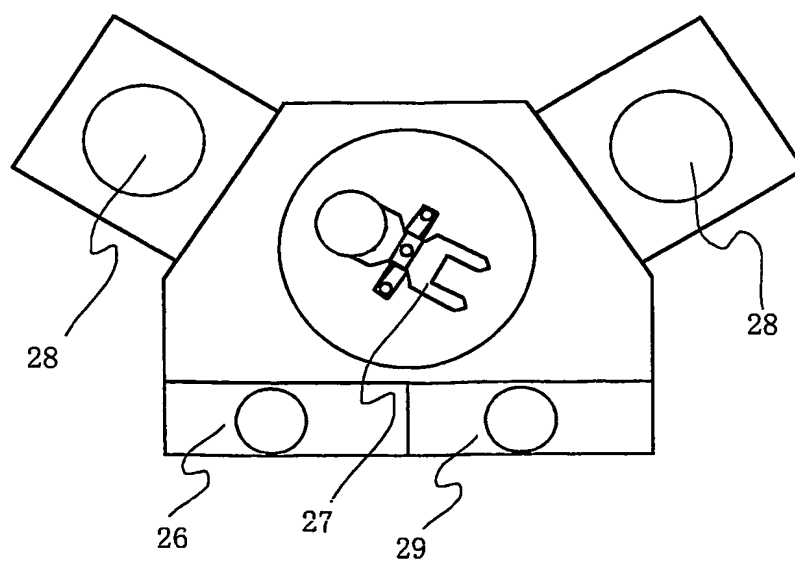


図 8



5/9

図 9

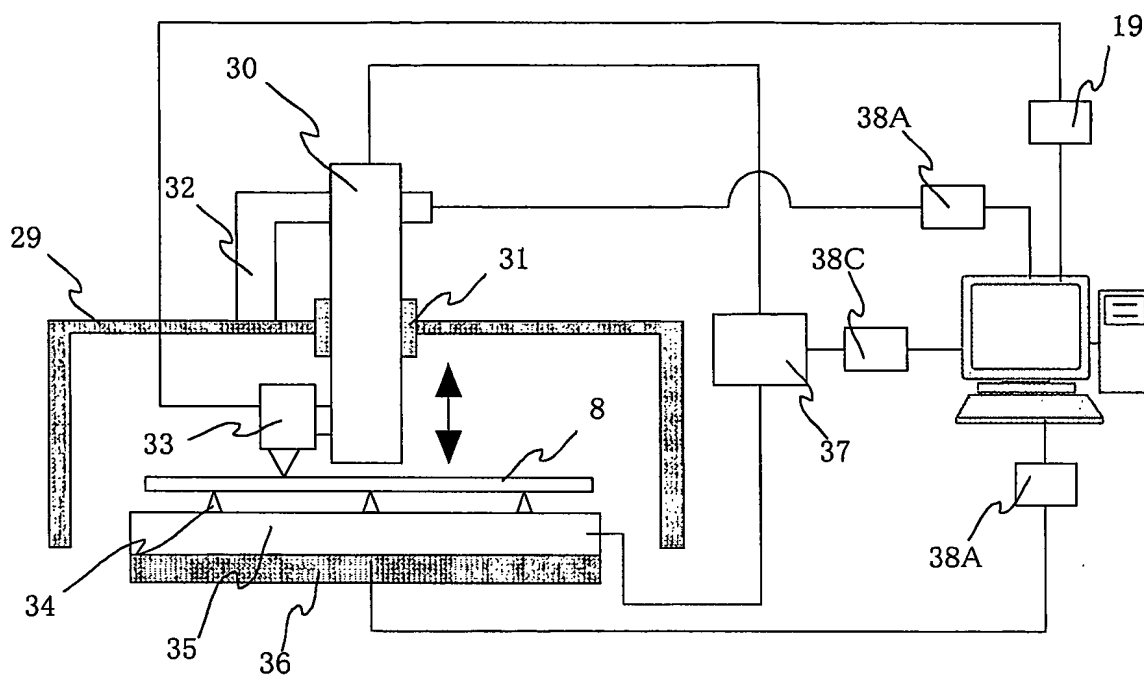
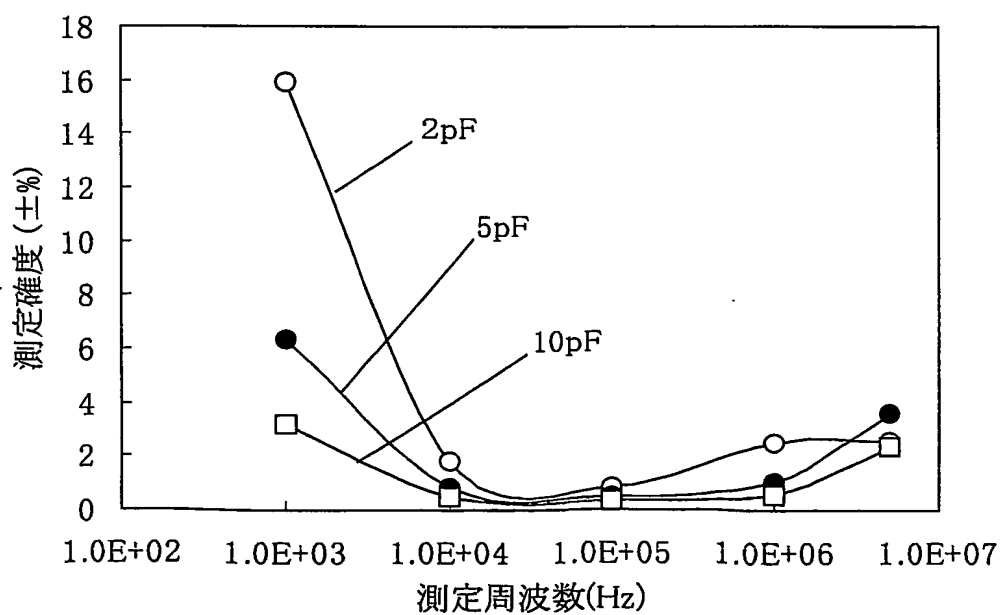


図 10



6/9

図 1 1

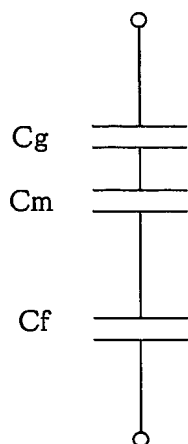


図 1 2

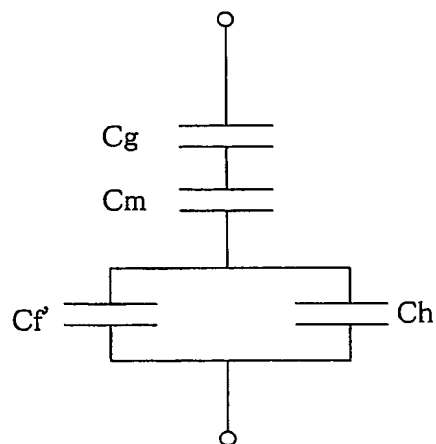
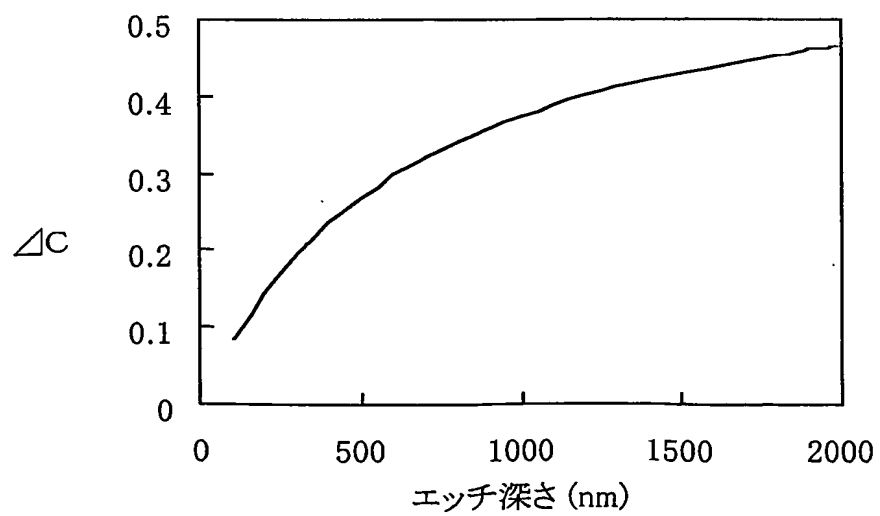
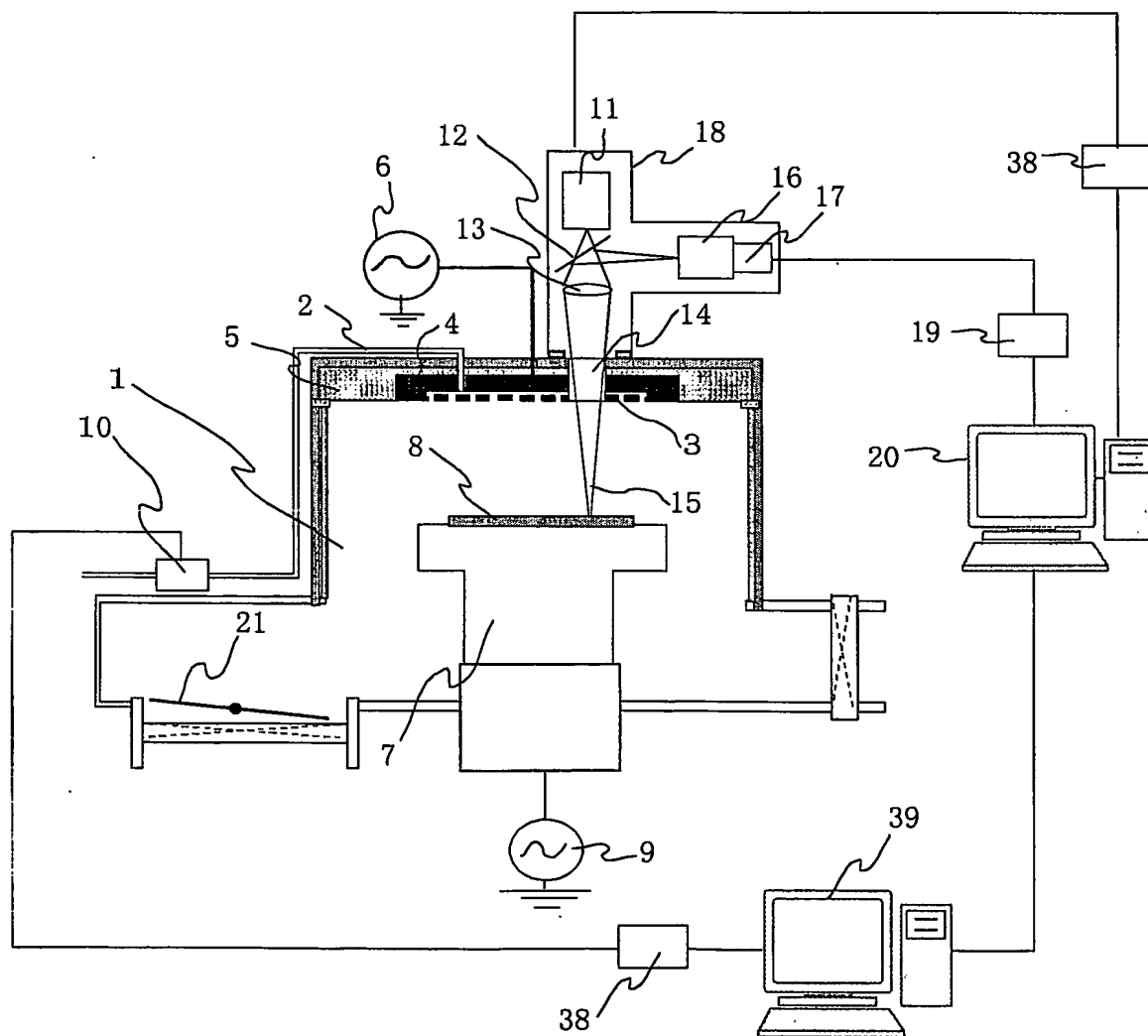


図 1 3



7/9

図 1 4



8/9

図 1 5

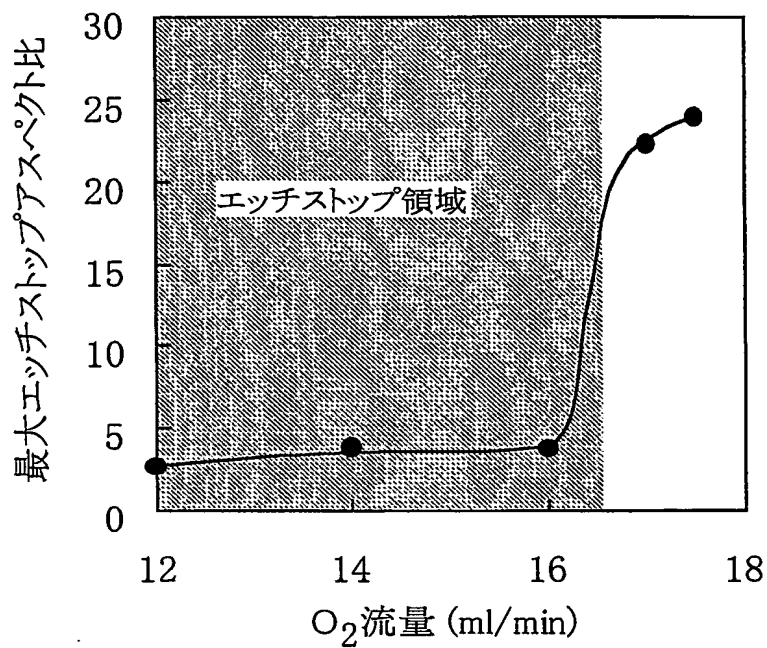


図 1 6

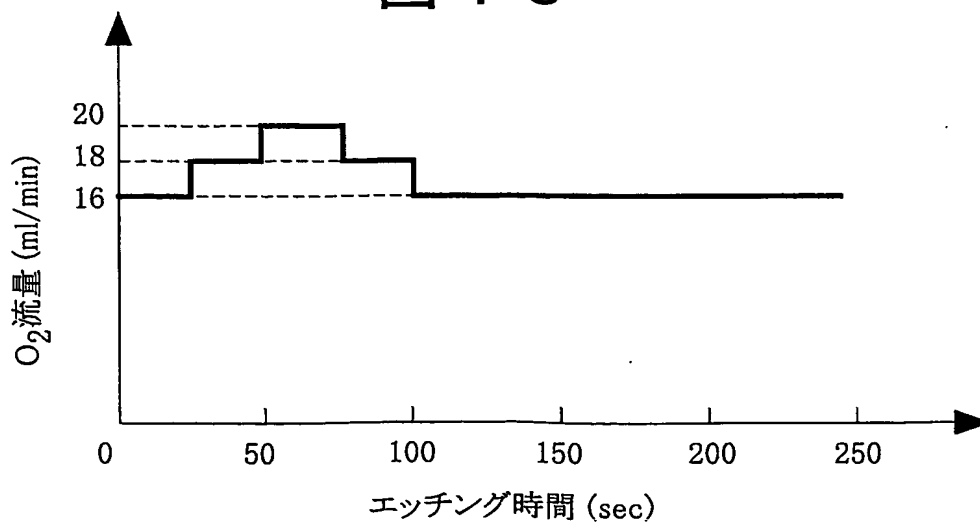




図 1 7

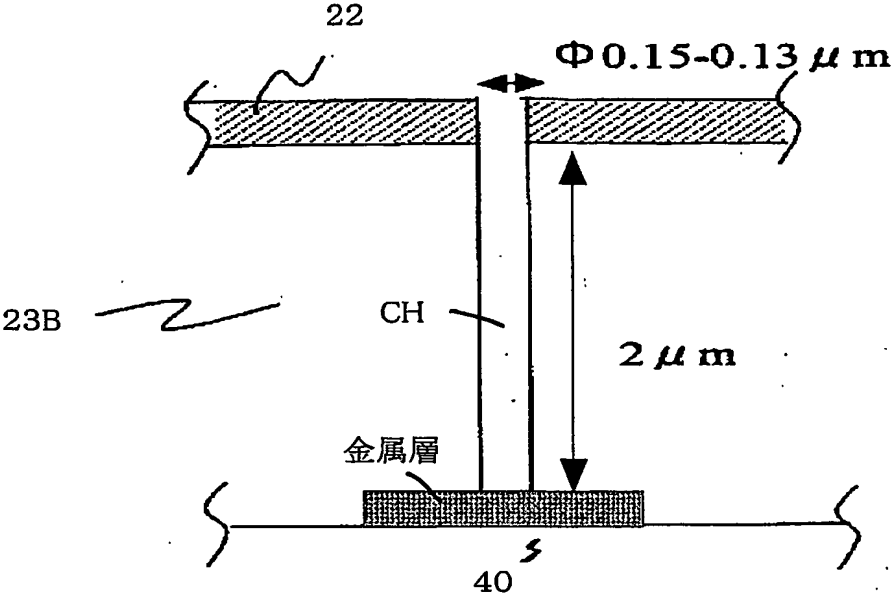
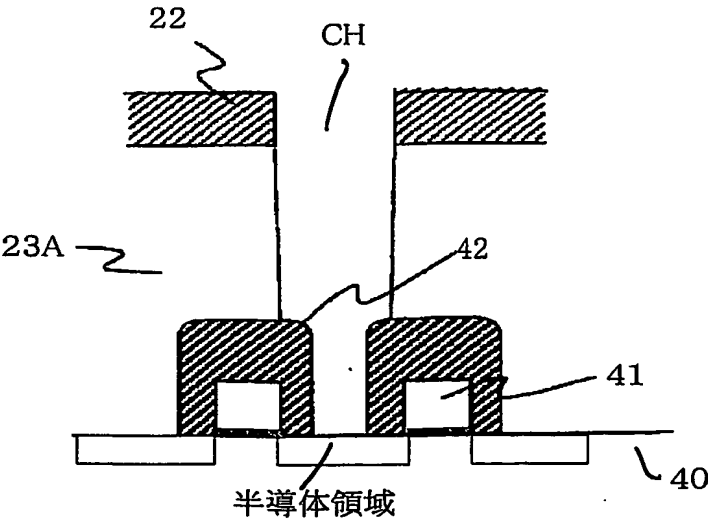


図 1 8



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/10844

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L21/3065

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/3065, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-93870 A (Toshiba Corp.), 29 March, 2002 (29.03.02), Par. Nos. [0007] to [0032] (Family: none)	1-7, 11-14
X	US 5792376 A (Toshiba Corp.), 27 September, 1996 (27.09.96), Column 3, line 3 to column 14, line 44 & JP 08-248617 A	8-10
X, A	JP 06-177219 A (Mitsubishi Electric Corp.), 24 June, 1994 (24.06.94), Par. Nos. [0013] to [0042] (Family: none)	15, 16-20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
15 January, 2003 (15.01.03)

Date of mailing of the international search report  
28 January, 2003 (28.01.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int.Cl.<sup>1</sup> H01L21/3065

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>1</sup> H01L21/3065

Int.Cl.<sup>1</sup> H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2002年

日本国登録実用新案公報 1994-2002年

日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-93870 A (株式会社東芝), 2002. 03. 29 第7~32段落 (ファミリーなし)	1-7, 11-14
X	US 5792376 A (株式会社東芝), 1996. 09. 27 第3欄第3行~第14欄第44行 & JP 08-248617 A	8-10
X, A	JP 06-177219 A (三菱電機株式会社), 1994. 06. 24 第13~42段落 (ファミリーなし)	15, 16-20

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

15.01.03

国際調査報告の発送日

28.01.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 淳 印

4 R

9055

電話番号 03-3581-1101 内線 6376